

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R) File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011347603 **Image available**

WPI Acc No: 1997-325508/199730

XRPX Acc No: N97-269643

Method of manufacturing matrix substrate of e.g. flat panel display using surface conduction cold cathodes - forming electron-emitting film for portions of upper and lower electrode layers and insulating layer which forms three-layer structure

Patent Assignee: DAINIPPON PRINTING CO LTD (NIPQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9129125	A	19970516	JP 95310036	A	19951102	199730 B

Priority Applications (No Type Date): JP 95310036 A 19951102

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9129125	A	18	H01J-009/02	

Abstract (Basic): JP 9129125 A

The method involves exposing the upper surface of a glass substrate (100) using a photomask. The lower surface of the glass substrate is exposed through light irradiation. A second resist layer is developed and an exposed portion is removed.

The residual portion of the second resist layer is baked, and an upper electrode layer (130) is formed. An electron-emitting film (140) is formed for the respective portions of the upper electrode layer, a lower electrode layer (110) and an insulating layer (120) which form a three-layer structure.

ADVANTAGE - Does not require use of high level alignment technology due to formation of standard lower electrode layer, thus easing manufacture of matrix substrate on which electron-emitting component is arranged.

Dwg.5/24

Title Terms: METHOD; MANUFACTURE; MATRIX; SUBSTRATE; FLAT; PANEL; DISPLAY; SURFACE; CONDUCTING; COLD; CATHODE; FORMING; ELECTRON; EMIT; FILM; PORTION; UPPER; LOWER; ELECTRODE; LAYER; INSULATE; LAYER; FORM; THREE; LAYER; STRUCTURE

Derwent Class: V05; X26

International Patent Class (Main): H01J-009/02

International Patent Class (Additional): H01J-001/30

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01B3C; V05-D01C5; V05-L01A3

THIS PAGE BLANK (USPTO)

特開平9-129125

(43) 公開日 平成9年(1997)5月16日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	9/02		H 0 1 J	B
	1/30		1/30	B

審査請求 未請求 請求項の数 5 F D (全 18 頁)

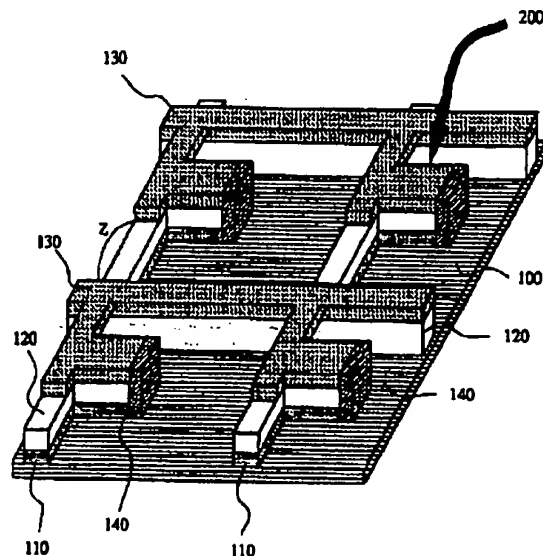
(21) 出願番号	特願平7-310036	(71) 出願人	000002897 大日本印刷株式会社 東京都新宿区市谷加賀町一丁目1番1号
(22) 出願日	平成7年(1995)11月2日	(72) 発明者	細谷 守男 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
		(74) 代理人	弁理士 志村 浩

(54) 【発明の名称】 電子放出素子を配列したマトリックス基板の製造方法

(57) 【要約】

【課題】 フラットパネルディスプレイへの利用に適したマトリックス基板を簡単に製造する。

【解決手段】 ガラス基板100上に下部電極層110を形成し、その上全面に絶縁体粒子分散型のポジ型感光特性をもった第1のレジスト層を形成する。上部電極層130のうちの行方向記録層として機能する領域を遮光するフォトリソマスクを用いた背面露光を行い、第1のレジスト層を現像して露光部を除去し、残存部を焼成して透光性をもった絶縁層120を形成する。その上に、金属粒子分散型もしくは有金属混合型のポジ型感光特性をもった第2のレジスト層を形成する。分離区画Zに対応する領域を露光するためのフォトリソマスクを用いた前面露光を行った後、基板全面に対して背面露光を行い、第2のレジスト層を現像して露光部を除去し、残存部を焼成して上部電極層130を形成する。最後に、電子放出膜140を形成する。



1

2

【特許請求の範囲】

【請求項1】 基板上に、列方向に伸びた複数の下部電極層を配置するとともに、行方向に伸びた複数の上部電極層を配置し、各下部電極層と各上部電極層とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極層の一部と上部電極層の一部との間に絶縁層を挟んだ三層構造体を形成し、各三層構造体ごとに、通電により電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極層が列方向配線層として機能し、前記上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法であって、絶縁性をもった透光性基板上に遮光性導電材料からなる下部電極層を形成する段階と、

前記基板および下部電極層上に、絶縁体粒子分散型のポジ型感光特性をもった第1のレジスト層を形成する段階と、

上部電極層の行方向配線層として機能する領域を遮光するフォトマスクを用い、前記基板下方から背面露光を行う段階と、

前記第1のレジスト層を現像して露光部を除去する段階と、

前記第1のレジスト層の残存部を焼成して遮光性をもった絶縁層を形成する段階と、

前記基板および前記絶縁層上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性をもった第2のレジスト層を形成する段階と、

列方向に隣接する電子放出素子について互いに上部電極層を分離するために必要な分離区間に対応する領域を露光するためのフォトマスクを用い、前記基板上方からの前面露光を行う段階と

前記基板下方から基板全面に対して光を照射する背面露光を行う段階と、

前記第2のレジスト層を現像して露光部を除去する段階と、

前記第2のレジスト層の残存部を焼成して上部電極層を形成する段階と、

下部電極層の一部、上部電極層の一部およびこれら両層間に形成された絶縁層によって構成された各三層構造体ごとに、それぞれ電子放出膜を形成する段階と、を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法。

【請求項2】 基板上に、列方向に伸びた複数の下部電極層を配置するとともに、行方向に伸びた複数の上部電極層を配置し、各下部電極層と各上部電極層とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極層の一部と上部電極層の一部との間に絶縁層を挟んだ三層構造体を形成し、各三層構造体ごとに、通電により電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極層が列方向配線層として機能し、前記上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法であって、絶縁性をもった透光性基板上に遮光性導電材料からなる下部電極層を形成する段階と、

より電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極層が列方向配線層として機能し、前記上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法であって、

絶縁性をもった透光性基板上に遮光性導電材料からなる下部電極層を形成する段階と、

前記基板および下部電極層上に、絶縁体粒子分散型のポジ型感光特性をもった第1のレジスト層を形成する段階と、

上部電極層の行方向配線層として機能する領域を遮光するフォトマスクを用い、前記基板下方から背面露光を行う段階と、

前記第1のレジスト層を現像して露光部を除去する段階と、

前記第1のレジスト層の残存部を焼成して遮光性をもった絶縁層を形成する段階と、

前記基板および前記絶縁層上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性をもった第2のレジスト層を、列方向に隣接する電子放出素子について互いに上部電極層を分離するために必要な分離区間に対応する領域を除いてストライプ状に形成する段階と、

前記基板下方から基板全面に対して光を照射する背面露光を行う段階と、

前記第2のレジスト層を現像して露光部を除去する段階と、

前記第2のレジスト層の残存部を焼成して上部電極層を形成する段階と、

下部電極層の一部、上部電極層の一部およびこれら両層間に形成された絶縁層によって構成された各三層構造体ごとに、それぞれ電子放出膜を形成する段階と、

を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法。

【請求項3】 基板上に、列方向に伸びた複数の下部電極層を配置するとともに、行方向に伸びた複数の上部電極層を配置し、各下部電極層と各上部電極層とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極層の一部と上部電極層の一部との間に絶縁層を挟んだ三層構造体を形成し、各三層構造体ごとに、通電により電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極層が列方向配線層として機能し、前記上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法であって、

絶縁性をもった透光性基板上に遮光性導電材料からなる下部電極層を形成する段階と、

前記基板および下部電極層上に、絶縁体粒子分散型のポジ型感光特性および透光性をもった第1のレジスト層を形成する段階と、

前記第1のレジスト層上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性および透光性をもった第2のレジスト層を形成する段階と、

列方向に隣接する電子放出素子について互いに上部電極層を分離するために必要な分離区間に対応する領域を露光するためのフォトマスクを用い、前記基板上方からの前面露光を行う段階と、

上部電極層の行方向に電極層として機能する領域を遮光するフォトマスクを用い、前記基板下方から背面露光を行う段階と、

前記第1のレジスト層および前記第2のレジスト層を現像してそれぞれの露光部を除去する段階と、

前記第1のレジスト層の残存部および前記第2のレジスト層の残存部をそれぞれ焼成して絶縁層および上部電極層を形成する段階と、

下部電極層の一部、上部電極層の一部およびこれら両層間に形成された絶縁層によって構成された各三層構造体ごとに、それぞれ電子放出膜を形成する段階と、

を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法。

【請求項4】 基板上に、列方向に伸びた複数の下部電極層を配置するとともに、行方向に伸びた複数の上部電極層を配置し、各下部電極層と各上部電極層とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極層の一部と上部電極層の一部との間に絶縁層を挟んだ三層構造体を形成し、各三層構造体ごとに、通電により電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極層が列方向配線層として機能し、前記上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法であって、

絶縁性をもった透光性基板上に透光性導電材料からなる下部電極層を形成する段階と、

前記基板および下部電極層上に、絶縁体粒子分散型のポジ型感光特性および透光性をもった第1のレジスト層を形成する段階と、

前記第1のレジスト層上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性および透光性をもった第2のレジスト層を、列方向に隣接する電子放出素子について互いに上部電極層を分離するために必要な分離区間に対応する領域を除いてストライプ状に形成する段階と、

上部電極層の行方向に電極層として機能する領域を遮光するフォトマスクを用い、前記基板下方から背面露光を行う段階と、

前記第1のレジスト層および前記第2のレジスト層を現像してそれぞれの露光部を除去する段階と、

前記第1のレジスト層の残存部および前記第2のレジスト層の残存部をそれぞれ焼成して絶縁層および上部電極層を形成する段階と、

下部電極層の一部、上部電極層の一部およびこれら両層間に形成された絶縁層によって構成された各三層構造体ごとに、それぞれ電子放出膜を形成する段階と、

を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法。

【請求項5】 請求項1～4のいずれかに記載の製造方法において、

下部電極層の平面パターンとして、列方向配線層として機能する列方向に細長い部分と、電子放出素子を構成するために前記細長い部分の脇に形成された突起部分と、からなるパターンを用いたことを特徴とする電子放出素子を配列したマトリックス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子を配列したマトリックス基板の製造方法に関し、特に、表面伝導型の電子放出素子を縦横に配列したフラットパネルディスプレイ用マトリックス基板に関する。

【0002】

【従来の技術】フラットパネルディスプレイの一種として、FED (Field Emission Display) が精力的に研究されている。このFEDは、カソード基板とアノード基板とを対向させ、カソード基板上に多数の電子放出素子を配置し、この電子放出素子からアノード基板に向けて電子を放出させ、アノード基板上の蛍光体層を発光させるものである。カソード基板上に形成される電子放出素子は、個々の画素に対応することになる。これまで利用されている電子放出素子は、電子放出に適した尖鋭な突起構造を有するものが一般的であり、たとえば、先端部が尖った円錐状の金属からなる電子放出素子が広く利用されている。

【0003】これに対して、近年、表面伝導型の電子放出素子が注目を浴びている。これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生じる現象を利用した電子放出素子である。このような電子放出現象は、1965年に「ラジオエンジニアリング エレクトロ フィジックス (Radio Eng. Electron. Phys.)」第10巻、1290～1296頁に、エム・アイ・エリンソン (M.I. Elinson) らによって報告されて以来、今日に至るまで種々の報告がなされている。具体的には、エリンソンらによって開発された SnO_2 (Sb) 薄膜をはじめ、Au薄膜、ITO薄膜、カーボン薄膜などで、この表面伝導型の電子放出現象が報告されている。

【0004】また、最近では、特公平6-101297

号公報に、微粒子を分散した面を挟持した絶縁層を用いて、この表面伝導型の電子放出素子を構成する技術が開示されており、特公第6-87392号公報には、微粒子を含む薄膜導電体に通電加熱を施すことにより、表面伝導型の電子放出機能をもった電子放出素子を製造する方法が開示されている。

【0005】

【発明が解決しようとする課題】上述したように、表面伝導型の電子放出素子は、FEDなどのフラットパネルディスプレイへの利用が期待されている素子であり、このようなディスプレイへ応用する場合、基板上に多数の素子を行列状に配置し、各素子からの電子放出をそれぞれ独立して制御できるようにしたマトリックス基板を製造する必要がある。

【0006】このようなマトリックス基板を製造する上で解決しなければならない第1の課題は、個々の素子の特性を均一化することである。すなわち、従来の表面伝導型の電子放出素子では、基板上に小面積の電子放出膜が形成され、この電子放出膜の両側に電流供給用の電極が形成される。そして、この一対の電極間に存在する電子放出膜の膜面に電流が流れ、電子放出が起こることになる。したがって、両電極間の距離が各素子ごとにばらついていると、個々の素子ごとの特性が不均一になる。別言すれば、同じ電圧を印加しても、放出される電子の量が個々の素子ごとに異なることになる。このように、1枚のフラットパネルディスプレイを構成する電子放出素子の特性が不均一であると、画面の表示状態にムラが生じ、もはや高品位のディスプレイは実現できなくなる。このため、個々の電子放出素子を構成する電極間隔には高い精度が要求される。しかしながら、このような高い位置精度を確保するためには、高度な位置合わせ技術が要求され、製造コストも高騰せざるを得ない。

【0007】電子放出素子を配列したマトリックス基板を製造する上での第2の課題は、駆動に必要な配線層をできるだけ単純な工程で形成するということである。上述のように、行列状に配置された多数の電子放出素子をそれぞれ独立して制御するためには、基板上に縦横に巡った配線を施し、これら配線に対する電圧を制御することにより、個々の素子からの電子放出を制御できるようにしなければならない。ところが、個々の電子放出素子に対してこのような配線を施すためには、基板上にかなり複雑な立体配線層を形成する必要があり、製造プロセスはかなり複雑になりざるを得ない。このため、やはり製造コストの高騰を招くことになる。

【0008】そこで、本発明は、電子放出素子を配列したマトリックス基板を製造するためのできるだけ単純な製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

(1) 本発明の第1の態様は、基板上に、列方向に伸び

た複数の下部電極層を配置するとともに、行方向に伸びた複数の上部電極層を配置し、各下部電極層と各上部電極層とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極層の一部と上部電極層の一部との間に絶縁層を挟んだ三層構造体を形成し、各三層構造体ごとに、通電により電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、下部電極層が列方向配線層として機能し、上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法において、絶縁性をもった透光性基板上に透光性導電材料からなる下部電極層を形成する段階と、基板および下部電極層上に、絶縁体粒子分散型のポジ型感光特性をもった第1のレジスト層を形成する段階と、上部電極層の行方向配線層として機能する領域を露光するフォトリソグラフィを用い、基板下方から背面露光を行う段階と、第1のレジスト層を現像して露光部を除去する段階と、第1のレジスト層の残存部を焼成して透光性をもった絶縁層を形成する段階と、基板および絶縁層上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性をもった第2のレジスト層を形成する段階と、列方向に隣接する電子放出素子について互いに上部電極層を分離するために必要な分離区間に対応する領域を露光するためのフォトリソグラフィを用い、基板上方からの前面露光を行う段階と、基板下方から基板全面に対して光を照射する背面露光を行う段階と、第2のレジスト層を現像して露光部を除去する段階と、第2のレジスト層の残存部を焼成して上部電極層を形成する段階と、下部電極層の一部、上部電極層の一部およびこれら両層間に形成された絶縁層によって構成された各三層構造体ごとに、それぞれ電子放出膜を形成する段階と、を行うようにしたものである。

【0010】(2) 本発明の第2の態様は、基板上に、列方向に伸びた複数の下部電極層を配置するとともに、行方向に伸びた複数の上部電極層を配置し、各下部電極層と各上部電極層とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極層の一部と上部電極層の一部との間に絶縁層を挟んだ三層構造体を形成し、各三層構造体ごとに、通電により電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、下部電極層が列方向配線層として機能し、上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法において、絶縁性をもった透光性基板上に透光性導電材料からなる下部電極層を形成する段階と、基板および下部電極層上に、絶縁体粒子分散型のポジ型感光特性をもった第1のレジスト層を形成する段階と、下部電極層の行方向

配線層として機能する領域を遮光するフォトマスクを用い、基板下方から背面露光を行う段階と、第1のレジスト層を現像して露光部を除去する段階と、第1のレジスト層の残存部を焼成して透光性をもった絶縁層を形成する段階と、基板および絶縁層上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性をもった第2のレジスト層を、列方向に隣接する電子放出素子について互いに上部電極層を分離するために必要な分離区間に対応する領域を除いてストライプ状に形成する段階と、基板下方から基板全面に対して光を照射する背面露光を行う段階と、第2のレジスト層を現像して露光部を除去する段階と、第2のレジスト層の残存部を焼成して上部電極層を形成する段階と、下部電極層の一部、上部電極層の一部およびこれら両層間に形成された絶縁層によって構成された各三層構造体ごとに、それぞれ電子放出膜を形成する段階と、を行うようにしたものである。

【0011】(3) 本発明の第3の態様は、基板上に、列方向に伸びた複数の下部電極層を配置するとともに、行方向に伸びた複数の上部電極層を配置し、各下部電極層と各上部電極層とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極層の一部と上部電極層の一部との間に絶縁層を挟んだ三層構造体を形成し、各三層構造体ごとに、通電により電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、下部電極層が列方向配線層として機能し、上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法において、絶縁性をもった透光性基板上に透光性導電材料からなる下部電極層を形成する段階と、基板および下部電極層上に、絶縁体粒子分散型のポジ型感光特性および透光性をもった第1のレジスト層を形成する段階と、第1のレジスト層上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性および透光性をもった第2のレジスト層を形成する段階と、列方向に隣接する電子放出素子について互いに上部電極層を分離するために必要な分離区間に対応する領域を露光するためのフォトマスクを用い、基板上方からの正面露光を行う段階と、上部電極層の行方向配線層として機能する領域を遮光するフォトマスクを用い、基板下方から背面露光を行う段階と、第1のレジスト層および第2のレジスト層を現像してそれぞれの露光部を除去する段階と、第1のレジスト層の残存部および第2のレジスト層の残存部をそれぞれ焼成して絶縁層および上部電極層を形成する段階と、下部電極層の一部、上部電極層の一部およびこれら両層間に形成された絶縁層によって構成された各三層構造体ごとに、それぞれ電子放出膜を形成する段階と、を行うようにしたものである。

【0012】(4) 本発明の第4の態様は、基板上に

列方向に伸びた複数の下部電極層を配置するとともに、行方向に伸びた複数の上部電極層を配置し、各下部電極層と各上部電極層とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極層の一部と上部電極層の一部との間に絶縁層を挟んだ三層構造体を形成し、各三層構造体ごとに、通電により電子放出を行う機能をもった電子放出膜を三層のすべてに接するように形成し、三層構造体および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、下部電極層が列方向配線層として機能し、上部電極層が行方向配線層として機能するように構成したマトリックス基板を製造する方法において、絶縁性をもった透光性基板上に透光性導電材料からなる下部電極層を形成する段階と、基板および下部電極層上に、絶縁体粒子分散型のポジ型感光特性および透光性をもった第1のレジスト層を形成する段階と、第1のレジスト層上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性および透光性をもった第2のレジスト層を、列方向に隣接する電子放出素子について互いに上部電極層を分離するために必要な分離区間に対応する領域を除いてストライプ状に形成する段階と、上部電極層の行方向配線層として機能する領域を遮光するフォトマスクを用い、基板下方から背面露光を行う段階と、第1のレジスト層および第2のレジスト層を現像してそれぞれの露光部を除去する段階と、第1のレジスト層の残存部および第2のレジスト層の残存部をそれぞれ焼成して絶縁層および上部電極層を形成する段階と、下部電極層の一部、上部電極層の一部およびこれら両層間に形成された絶縁層によって構成された各三層構造体ごとに、それぞれ電子放出膜を形成する段階と、を行うようにしたものである。

【0013】(5) 本発明の第5の態様は、上述の第1～第4の態様に係る方法において、下部電極層の平面パターンとして、列方向配線層として機能する列方向に細長い部分と、電子放出素子を構成するために細長い部分の脇に形成された突起部分と、からなるパターンを用いるようにしたものである。

【0014】

【発明の実施の形態】以下、本発明を図示する実施形態に基づいて説明する。

【0015】§1. 従来の電子放出素子の構造および動作原理

はじめに、従来の一般的な表面伝導型の電子放出素子の構造および動作原理を説明しておく。図1は、従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。この例では、電子放出素子10は、ガラス基板11上に電極12、13を形成し、更にもその上に電子放出膜14を形成することにより構成されている。電子放出膜14は、カソード電極として機能することになり、たとえば SrO 、 LaO 、 BaO

Oなどの金属酸化物 Au, Agなどの金属、カーボンその他各種半導体など、表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。一方、対向基板20は、ガラス基板21上に透明電極22および蛍光体層23を形成したものである。透明電極22はたとえばITOなどの材料で構成され、アノード電極として機能することになる。

【0016】図2は図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図であり、この図における切断線1-1による断面が図1に示されていることとなる。電極12および13が所定間隔をおいて向き合っており、その間に電子放出膜14が形成されている状態が明瞭に示されている。

【0017】いま、図1に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、電極13は接地され、電極12には電源31から負の電圧が印加される。また、電子放出素子10と対向基板20との間には、電源32によってカソード/アノード間電圧が印加されるが、この図1に示す状態では、スイッチ33が閉じているため、電圧印加は行われていない。さて、電極12, 13によって、電子放出膜14の両側に電圧が印加されると、電子放出膜14の膜表面部分に、図に矢印で示したような電子放出が起こる。これが、表面伝導型の電子放出として知られている現象である。

【0018】ここで、スイッチ33を閉じてカソード/アノード間電圧を印加すれば、図3に示すように、電子放出膜14の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでは、説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。なお、このようなフラットパネルディスプレイでは、スイッチ33を閉じた状態のままとし、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御するのが一般的である。より具体的に、電子放出膜14に与える印加電圧の値および印加時間を調節することにより、対向基板20側への電子の飛翔量を制御することができる。

【0019】さて、このような電子放出素子10を利用したフラットパネルディスプレイを製作する上での技術的課題は、既に述べたように、個々の素子の特性均一化と駆動用配線の単純化とである。素子ごとの特性のばらつきは、主として寸法精度に依存する。図4は、この電子放出素子10の主要部分の寸法を示した図である。一般的なフラットパネルディスプレイの場合、ここに示す各部の寸法は、たとえば、 $D1=15\mu m$ 、 $D2=80\mu m$ 、 $D3=0.2\mu m$ 、 $D4=0.5\mu m$ といった程

度の値になる（もちろん、これらの数値は一例として示したものであり、具体的な数値は個々のディスプレイによってそれぞれ異なる）。これらの寸法のうち、特に素子特性に影響を与える寸法は電極12, 13間の間隔D1である。この間隔D1は、電子放出膜14に加わる電界強度を支配するものであり、間隔D1が変わると、電子の放出量も変わってくることになる。そこで、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板11上に配列された個々の電子放出素子についての寸法D1を均一にする必要がある。このため、実際の製造プロセスにおいては、たとえば、 $D1=15\mu m \pm 2\mu m$ といった所定の寸法精度が要求されることになり、高精度なパターンニングプロセスが必要になる。これは製造コストを高騰させる要因となり、実用化への大きな障害になる。特に、今後は、低電力駆動型のディスプレイの要望が益々高まってゆく傾向にあり、間隔D1の絶対値は益々小さく設定せざるを得なくなり、より高い寸法精度が要求されるようになると予想される。

【0020】また、駆動用配線の単純化という課題も、従来構造の電子放出素子では、解決することが困難な課題である。図1および図3では、1画素分の電子放出素子についての配線を示したが、ディスプレイに利用する場合には、ガラス基板11上に縦横に配列された多数の電子放出素子のそれぞれに対して独立した配線を施し、各電子放出素子ごとに、電子放出膜14への印加電圧を独立して制御できるようにしなければならない。ガラス基板11にこのような配線を施すには、数多くのパターンニングプロセスが必要となり、製造工程は複雑化せざるを得ない。これも製造コストを高騰させる要因のひとつであり、実用化への障害となる。

【0021】§2. 新規な電子放出素子の構造および動作原理

上述した従来の電子放出素子では、電子放出膜14はガラス基板11に平行な膜として形成されている。これは「基板上に薄膜を形成する」という要望に応えるためのごく一般的な方法である。これに対し、本願発明者は、電子放出膜をガラス基板に対して所定角をもって形成する（たとえば、垂直に形成する）という特徴をもった新規な電子放出素子を提案し、本願と同一出願人による平成7年10月31日付出願（整理番号A07098）において開示した。本願は、この新規な電子放出素子についての製造方法を提供するものである。そこで、まずこの新規な電子放出素子の基本構造および動作原理をこの§2において説明する。

【0022】いま、基板上に、図5(a)の斜視図に示すような三層構造体を用意する。この三層構造体は、下部電極層52と上部電極層54との間に絶縁層53を挟んでなる構造体であり、いわゆる「サンドイッチ構造」を

側面部に通電により電子放出を行う機能をもった電子放出膜55を形成すれば、図5(b)の斜視図に示するような構造が得られる。このような構造体は、電子放出素子50として機能することになる。すなわち、図3に示す従来の電子放出素子10と比較すれば、下部電極層52が電極13としての機能を果たし、上部電極層54が電極12としての機能を果たし、電子放出膜55が電子放出膜14としての機能を果たすことになる。また、絶縁層53は、電極12と電極13との間の間隔精度を保つためのスペーサとしての役割を果たしている。

【0023】なお、本願図面では、斜視図においても、各構成要素に必要に応じてハッチングを施して示すことにする。このハッチングは断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。

【0024】いま、このような構造をもった電子放出素子50について、図6に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、下部電極層52が接地され、上部電極層54には電源31から負の電圧が印加される。また、電子放出素子50と対向基板20の間にも、電源32によってカソード/アノード間電圧が印加されるが、この図6に示す状態では、スイッチ33が開いているため、電圧印加は行われていない。さて、下部電極層52および上部電極層54によって、電子放出膜55の両側に電圧が印加されると、電子放出膜55の膜表面部分に、図に矢印で示したような電子放出が起こる。すなわち、表面伝導型の電子放出現象が起こることになる。

【0025】ここで、スイッチ33を閉じてカソード/アノード間電圧を印加すれば、図7に示すように、電子放出膜55の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでも説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を総数にマトリクス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。実際には、従来の電子放出素子を用いたフラットパネルディスプレイと同様に、スイッチ33を閉じた状態のままで、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御することができる。

【0026】なお、ここに示す例では、図6に示すように、上部電極層54側に負電圧を印加することにより、電子放出膜55の表面では、上方から下方へ向かう電子の流れが形成されるようにしているが、逆に、下部電極層52側に負電圧を印加することにより、電子放出膜55の表面において、下方から上方へ向かう電子の流れが形成されるようにして、対向基板20側の電子放出は容易に行われる。したがって、下部電極層52側と

部電極層54との間の印加電圧の極性はどちらでもかまわない。

【0027】図8は、この電子放出素子50の主要部分の寸法を示した図である。ここで、絶縁層53の厚みD1としては、実用上、 $D1=0.1\mu\text{m}\sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m}\sim 100\mu\text{m}$ 程度に設定するのがよい。また、下部電極層52および上部電極層54の厚みD2、D3としては、実用上、 $D2, D3=0.01\mu\text{m}\sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m}\sim 30\mu\text{m}$ 程度に設定するのがよい。三層構造体の幅D4は、電子放出の動作を考慮する上では任意でかまわないが、この三層構造体自体は容量素子として作用するので、素子自体の寄生容量値を低く抑えて応答速度を向上させるためにはできるだけ小さくするのが好ましく、実用上は、 $D4=10\mu\text{m}\sim 100\mu\text{m}$ 程度にするのが好ましい。また、電子放出膜55の厚みD5としては、表面伝導型の電子放出現象が生じる厚みにする必要があり、効率的な電子放出を行わせるためには、できるだけ薄い方が望ましい。実用上は、 $D5=0.01\mu\text{m}\sim 1\mu\text{m}$ 程度に設定するのが好ましい。

【0028】さて、この図8に示す新規な電子放出素子の構造を、図4に示す従来の電子放出素子の構造と比較すると、従来構造における電極12、13間の距離である寸法D1は、新規構造における絶縁層53の厚みである寸法D1に対応することがわかる。すなわち、いずれの寸法D1も、電子放出膜に電界を与えるための一対の電極間距離に対応するものであり、この寸法D1によって、電子放出膜に与えられる電界強度が決定されることになる。そして、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板上に配列された個々の電子放出素子についての寸法D1を均一にする必要があるということは、既に述べたとおりである。ここで、寸法D1の精度に着目すると、図4に示す従来構造においては、基板面に平行な平面方向の精度であるのに対し、図8に示す新規構造においては、基板面に垂直な厚み方向の精度であることがわかる。すなわち、図4に示す従来構造を「横型構造」と呼び、図8に示す新規構造を「縦型構造」と呼ぶことにすれば、「横型構造」の場合、寸法D1の精度を平面方向の精度として確保する必要があるのに対し、「縦型構造」の場合、寸法D1の精度を厚み方向の精度として確保すればよいということになる。

【0029】一般に、半導体プレーナプロセスなど、基板上に層形成を行う製造プロセスでは、平面方向の寸法精度を確保するよりも、厚み方向の寸法精度を確保する方が容易である。別言すれば、図4に示すように、正確な所定間隔D1をもった電極12、13を形成する工程と、正確な所定厚みD1をもった絶縁層53を形成する工程とを比較すると、寸法値D1が同じ場合、前者よりも後者の方が工程は容易である。特に、近年では、並

板上の成膜技術は非常に進歩しており、厚みに関しては、かなりの精度で制御することが可能である。したがって、新規構造をもった電子放出素子は、従来構造の電子放出素子に比べて、製造プロセスが容易になり、製造コストを低減させるというメリットが得られる。

【0030】§3. 新規構造の電子放出素子を用いたマトリックス基板

これまで、新規構造をもった電子放出素子の構造を述べたが、この電子放出素子をフラットパネルディスプレイに利用する場合には、多数の電子放出素子を基板上に行列状に配置したマトリックス基板を用いることになる。以下、このマトリックス基板の構造を説明する。

【0031】図9は、ガラス基板100上に4つの電子放出素子200を形成してなるマトリックス基板の斜視図である。ディスプレイへ応用する場合、1つの電子放出素子が1画素分の表示動作を行うことになるので、この図9に示す例では、2×2の合計4画素分の表示が可能になる。もちろん、実際のディスプレイに用いるマトリックス基板では、より多数の電子放出素子が配列されることになる。なお、図9の斜視図において、各構成要素に施されているハッチングは、前述したように、断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。この図9に示すマトリックス基板の構造は次のとおりである。

【0032】まず、ガラス基板100上に、列方向に伸びた下部電極層110を複数（この例では2本）配置し、更に、行方向に伸びた上部電極層130を複数（この例では2本）配置する。ここで、各下部電極層110と各上部電極層130とは、絶縁層120を介して交差しており、各交差部分の近傍には、下部電極層110の一部と上部電極層130の一部との間に絶縁層120を挟んだ三層構造体が形成されている（この例では、4組の三層構造体が形成されている）。そして、各三層構造体の側面部には、通電により電子放出を行う機能をもった電子放出膜140がこの三層のすべてに接するように形成されており、三層構造体および電子放出膜によって1組の電子放出素子200が構成されている。このような構成をもった電子放出素子200は、基板上にマトリックス状に配列され（この例では2行2列）、これらの電子放出素子200について、下部電極層110は列方向配線層として機能し、上部電極層130は行方向配線層として機能することになる。

【0033】このように、下部電極層110および上部電極層130が、それぞれガラス基板100上で縦横に伸びた配線層としても機能する点は重要である。前述したように、ディスプレイとして利用するためには、マトリックス状に配列された個々の電子放出素子に対して、それぞれ別個に電子放出を制御できるような配線が必要になる。従来の「縦型構造」の電子放出素子の場合、このような配線のための層を別途設ける必要があ

るため、基板上の構造は非常に複雑になる。これに対して、この新規な「縦型構造」の電子放出素子の場合、下部電極層110および上部電極層130が配線の機能を果たすため、別途配線層を設ける必要はない。

【0034】図10は、上述した新規構造の電子放出素子を用いたマトリックス基板の駆動原理を説明するための図である（ハッチングは、図9の各構成要素との対応を示すためのものである）。ここでは、5行5列、合計25組の電子放出素子200が形成された例が示されている。すなわち、列方向に伸びた下部電極層110が行方向に5本配置されており、また、行方向に伸びた上部電極層130が列方向に5本配置されており、その交差部分の近傍に25組の電子放出素子200が形成されている。ここで、各電子放出素子200からの電子放出は、それぞれ独立して制御することができる。

【0035】このような制御を行うために、セレクト150およびドライバ160が設けられている。セレクト150は、5本の下部電極層110のうちのいずれか1本を選択して接地する機能を果たす。一方、ドライバ160は、5本の上部電極層130のそれぞれに、所定の電圧信号を与える機能を有する。セレクト150が、5本の下部電極層110を順番に選択する動作を行えば、5本の列を時分割して順次アクセスすることが可能になる。そして、ドライバ160から供給する信号により、現在アクセス中の列に所属する電子放出素子200からの電子放出が制御される。たとえば、図示のように、セレクト150が第1列目を選択して接地した状態において、ドライバ160から、第1行目の上部電極層130に対して負の電圧供給を行えば、第1行第1列目の電子放出素子については、図7に示す配線がなされたことになり、対向基板20への電子放出が起こることになる。このような駆動方法は、いわゆる「単純マトリックス駆動」と呼ばれている方法である。

【0036】このように、新規構造のマトリックス基板では、下部電極層110および上部電極層130をそのまま配線層として利用することができるため、ディスプレイに応用する場合にも構造は非常に単純になり、製造プロセスも単純化され、製造コストの低減を図ることができる。

【0037】§4. 本発明に係るマトリックス基板の製造方法I

本発明は、図9に示すような新規構造の電子放出素子を用いたマトリックス基板を製造するための製造方法を提供するものである。以下、その第1の方法を、図11～図18に示す斜視図を参照しながら説明する。なお、これらの斜視図においては、図9に示す各構成要素との対応関係を明らかにするためのハッチングを施すことにし、便宜上、1組の電子放出素子200の構成部分のみを図示することにする。実際には、基板上には多数の電子放出素子200が同時に形成されることになる。

【0038】まず、図11に示すように、ガラス基板100（絶縁性の基板であれば何でもよい）上の全面に導電性をもった準備層115を、真空蒸着法やスパッタ法など一般的な成膜法を用いて形成する。続いて、フォトリソグラフィを用いてこの準備層115をパターニングして、図12に示すように、下部電極層110を形成する。この準備層115のパターニングには、一般的なフォトリソグラフィおよびエッチングの手法や、フォトリソグラフィおよびサイドブラストの手法を用いればよい。もっとも、準備層115としては、必ずしもその時点で導電性をもった層を用いる必要はない。たとえば、感光性をもった樹脂中に金属微粒子を分散させてなる金属粒子分散型レジスト（いわゆる金属ペースト）をガラス基板100上に塗布して感光性のペースト層を形成し、このペースト層を準備層115とし、フォトリソグラフィの手法によりこのペースト層を露光後に現像してパターニングを行い、最後に焼成工程を行って、ペースト層内の樹脂成分を除去すれば、導電性をもった下部電極層110を得ることができる。なお、感光性のペースト層は、感光性をもった樹脂と有機金属との混合からなる有機金属混合型レジストにより形成してもよい。

【0039】本発明の製造方法の特徴は、この下部電極層110を基準として自己整合性をもった層形成をなす点にある。別言すれば、まず、基板上に下部電極層110を形成し、続いてこの下部電極層110をマスクとして用いたパターニングを行うことにより、いわゆる「セルフアライメント」の手法を利用した製造プロセスを実現することになる。この製造プロセスでは、ガラス基板100の上面側から光を照射する露光（以下、前面露光と呼ぶ）とともに、ガラス基板100の下面側から光を照射する露光（以下、背面露光と呼ぶ）を行うことになる。したがってガラス基板100としては、絶縁性をもった透光性の基板を用いる必要があり、下部電極層110としては遮光性導電材料からなる層を用いる必要がある（上述した透光性のペースト層を利用する場合は、焼成後の層が遮光性を有していればよい）。

【0040】このように、下部電極層110は、本発明に係る製造プロセスにおける基準パターンとなる層であるが、本発明は、あくまでもこの下部電極層110を形成した後のプロセスの特徴を有するものであり、この下部電極層110自身どのような方法で形成してもかまわない。なお、図11に示すフォトマスクM1のパターンは、図9に示す下部電極層110の平面パターンに相当するものである。すなわち、図9に示す例では、下部電極層110の平面パターンとして、列方向配線層として機能する列方向に長い部分と、電子放出素子を構成するためにこの細長い部分の脇に形成された突起部分と、からなるパターンを用いている。このため、図11に示すフォトマスクM1のパターンも、列方向配線層として機能する列方向に長い部分M1aと電子放出素

子を構成するための突起部分M1bと、から構成されている。もちろん、電子放出素子の構成位置は、設計上、適宜変更しうるものであり、たとえば、下部電極層110と上部電極層130との交差部分に電子放出素子を設けることも可能である。図11の工程で用いるフォトマスクM1のパターンは、このように、最終的な下部電極層110の平面パターンに応じて定められる。

【0041】さて、何らかの方法により、図12に示すような下部電極層110が得られたら、続いて、ガラス基板100および下部電極層110上の全面に、図13に示すように、絶縁体粒子分散型のポジ型感光特性をもった第1のレジスト層125を形成する。この第1のレジスト層125は、ポジ型の感光特性（露光部が現像により除去される）をもった樹脂中に絶縁体粒子を分散させた材料からなる層であり、後の焼成工程により樹脂成分を除去すれば、絶縁体層を形成することができる。続いて、図13に示すように、フォトマスクM2を用いた背面露光を行う。このフォトマスクM2は、上部電極層130の行方向配線層として機能する領域を遮光するためのパターンをもったマスクである。このような背面露光を行うと、このフォトマスクM2による遮光領域と下部電極層110の形成領域とが影になり、第1のレジスト層125のうち、この影の部分が非露光部、それ以外の部分が露光部となる。

【0042】次に、この第1のレジスト層125に対して現像を行えば、露光部が除去されることになる。別言すれば、フォトマスクM2による遮光領域と下部電極層110の形成領域とが残存部として残ることになる。そこで、この残存部に対して焼成工程を行って樹脂成分を除去すれば、図14に示すように、絶縁層120が形成できる。こうして形成された絶縁層120は、下部電極層110をマスクに用いたパターニングにより形成された層になるため、下部電極層110に対して自己整合性を有する。一方、図13に示す背面露光工程において用いるフォトマスクM2のマスクパターンは、下部電極層110に対して自己整合性を有さないが、このフォトマスクM2のマスクパターンは、行方向配線層として機能する領域を決定するためのものであるため、高度な位置精度は要求されない。なぜなら、配線層は多少位置がずれたとしても、電気信号の伝達経路としての機能を果たせば足りるからである。したがって、図13に示す背面露光工程では、高度な位置合わせ技術は不要である。なお、後の工程において、この絶縁層120をマスクに用いた露光を行うので、絶縁層120は遮光性を有する必要がある（焼成前の第1のレジスト層125は透光性のものであってもかまわない）。

【0043】続いて、図15に示すように、ガラス基板100および絶縁層120上の全面に、金属粒子分散型のポジ型感光特性をもった第2のレジスト層135を形成する。この第2のレジスト層135は、ポジ型の感光

特性（露光部が現像により除去される）をもった樹脂中に金属微粒子を分散させた材料からなる感光性ペースト層であり、後の焼成工程により樹脂成分を除去すれば、金属導電層を形成することができる。もちろん、この感光性のペースト層は、感光性をもった樹脂と有機金属との混合からなる有機金属混合型レジストにより形成してもよい。

【0044】続いて図15に示すように、フォトマスクM3を用いた前面露光を行う。このフォトマスクM3は、列方向に隣接する電子放出素子について互いに上部電極層130を分離するために必要な分離区間Zに対応する領域を露光するためのものである。これは、図9の斜視図に示された構造を見れば、理解が容易である。図9において、分離区間Zは、上部電極層130を分離するための区間となっている。このように、マトリックス基板上では、列方向に隣接する電子放出素子については、互いに上部電極層130を分離する必要がある。図15に示す前面露光工程は、分離区間Zに相当する領域に対して露光を行い、後の現像工程において、第2のレジスト層135の分離区間Zに相当する部分を除去するためのものである。

【0045】なお、この一連の工程を示す斜視図では、説明の便宜上、1組の電子放出素子の製造プロセスを示す図が示されているが、実際には、ガラス基板100上にマトリックス状に配置された電子放出素子が同時に形成される。したがって、図15に示すフォトマスクM3は、実際には、ストライプ状のマスクパターン（図の左右方向に伸びたストライプが、間隔Zだけ離れて多数配列されたパターン）になる。また、分離区間Zは、隣接する電子放出素子について、上部電極層130を物理的に分離する機能を果たすことができればよいので、この分離区間Zについて、高度な位置精度は要求されない。したがって、図15に示す前面露光工程でも、高度な位置合わせ技術は不要である。

【0046】続いて図16に示すように、基板全面に対する背面露光が行われる。この背面露光には、何らフォトマスクは必要ない。既に基板上に形成されている下部電極層110および絶縁層120がマスクとしての機能を果たすことになる。すなわち、第2のレジスト層135のうち、これら2層の影になった部分は非露光部となり、それ以外の部分は露光部となる。そこで、この第2のレジスト層135に対して現像を行えば、露光部が除去され、非露光部だけが残存部として残ることになる。そこで、この残存部に対して焼成工程を行って樹脂成分を除去すれば、図17に示すように、上部電極層130が形成できる。こうして形成された上部電極層130は、下部電極層110および絶縁層120をマスクに用いたパターンニングにより形成された層になるため、下部電極層110および絶縁層120に対して自己整合性を有する。なお、図15に示したフォトマスクM3によ

る前面露光工程を行っているため、分離区間Zに相当する部分には、上部電極層130は形成されていない点は留意すべき点である。

【0047】こうして、列方向配線層として機能する下部電極層110と、行方向配線層として機能する上部電極層130とが形成でき、しかも、この配線層として機能する細長い部分に加えて突起部が形成され、この突起部には、下部電極層110、絶縁層120、上部電極層130からなる三層構造体が形成できる。そこで最後に、この突起部としての三層構造体の側面に電子放出膜140を形成すれば、図18に示すように、「縦型構造」をもった電子放出素子200を得ることができる。ここで、電子放出膜140を形成する工程としては、たとえば、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶剤を用意し、この溶剤を三層構造体の側面部に塗布乾燥させるような方法を採用することができる。

【0048】以上述べた方法の第1の特徴は、焼成工程により残存レジスト層をそのまま絶縁層120および上部電極層130として用いるようにしたため、全体の工程数を非常に少なくすることができるということである。そして、第2の特徴は、いわゆる「セルフアライメント」を利用した層形成を行うことができるため、高精度な位置合わせ技術を全く行う必要がないという点である。すなわち、上述した各露光工程を見ると、まず、図11に示すフォトマスクM1を用いた露光工程は、位置合わせの基準となる下部電極層110を形成するための工程であるから、特に位置合わせは必要ない。また、図13に示すフォトマスクM2を用いた露光工程は、行方向配線層として機能する部分の位置を決める工程であるため、高度な位置合わせは不要である。更に、図15に示すフォトマスクM3を用いた露光工程は、分離区間Zの位置を決める工程であるため、やはり高度な位置合わせは不要である。結局、高度な位置合わせを必要とする三層構造体の形成は、すべて下部電極層110を基準にした「セルフアライメント」によって実現されていることになる。このため、本発明に係る製造方法によれば、非常に低コストでマトリックス基板を製造することが可能になる。

【0049】§5. 本発明に係るマトリックス基板の製造方法II

この製造方法IIは、前述した製造方法Iの一部を変更することにより、工程数を減らして簡略化したものである。まず、図14に示すように、ガラス基板100上に下部電極層110および絶縁層120を形成する工程までは、上述した製造方法Iと全く同じ工程を行う。続いて、第2のレジスト層135を形成するが、上述の製造方法Iでは、図15に示すように、基板全面に第2のレジスト層135を形成していた。これに対して、この製造方法IIでは、図19に示すように、第2のレジスト層135を

135を、列方向に隣接する電子放出素子について互いに上部電極層130を分離するために必要な分離区間Zに対応する領域を除いて形成するのである。すなわち、多数の電子放出素子を配列したマトリックス基板全体としては、ストライプ状のパターン(図19の左右方向に伸びたストライプが、区間Zだけ離れて多数配列されたパターン)となるように、第2のレジスト層135を形成することになる。

【0050】このようなストライプ状のパターンをもったレジスト層を形成する方法としては、一般的な印刷の手法を用いることが可能である。前述したように、分離区間Zは、隣接する電子放出素子について、上部電極層130を物理的に分離する機能を果たすことができればよいので、この分離区間Zについての高度な位置精度は要求されない。したがって、一般的な印刷の技術で実現できる位置合わせ精度をもって、ストライプ状のレジスト層を形成しても何ら問題は生じない。

【0051】こうして、第2のレジスト層135を、分離区間Zを除いた領域のみ形成することができれば、上述の製造方法Iにおいて行ったフォトマスクM3を用いた前面露光工程(図15)は不要になる。そのまま、基板全面に対する背面露光を行い、現像および焼成を行えば、図17に示す構造が得られることになる。このように、この製造方法IIでは、前述の製造方法Iに比べて露光工程が一工程だけ省略できる。

【0052】§6. 本発明に係るマトリックス基板の製造方法III

前述した製造方法Iでは、絶縁層120を形成する工程(図13、図14)を行った後に、上部電極層130を形成する工程(図15-図17)を行っていた。ここで述べる製造方法IIIでは、絶縁層120と上部電極層130とが同時に形成されることになる。

【0053】まず、ガラス基板100上に下部電極層110を形成する工程までは、前述した製造方法Iと全く同じである。すなわちどのような方法を用いて下部電極層110を形成してもかまわない。図12に示すような構造が得られたら、ガラス基板100および下部電極層110の全面に、絶縁粒子分散型のポジ型感光特性をもった第1のレジスト層125を形成し、更にその上に、金属粒子分散型もしくは有機金属混合型のポジ型感光特性をもった第2のレジスト層135を形成する。図20はこの状態を示すのである。なお、第1のレジスト層125および第2のレジスト層135は、少なくとも焼成前の状態では透光性を有している必要がある。

【0054】続いて、図21に示すように、フォトマスクM3を用いた前面露光を行う。このフォトマスクM3は、製造方法Iにおいて用いたフォトマスクM3(図15)と同じものである。すなわち、列方向に隣接する電子放出素子について互いに上部電極層130を分離するために必要な分離区間Zに対応する領域を露光するため

のものである。この前面露光により、第1のレジスト層125および第2のレジスト層135の分離区間Zに対応する領域が露光されることになる。

【0055】次に、図22に示すように、フォトマスクM2を用いた背面露光を行う。このフォトマスクM2は、製造方法Iにおいて用いたフォトマスクM2(図13)と同じものである。すなわち、上部電極層130の行方向配線層として機能する領域を遮光するためのパターンをもったマスクである。このような背面露光を行うと、このフォトマスクM2による遮光領域と下部電極層110の形成領域とが影になり、第1のレジスト層125および第2のレジスト層135のうち、この影の部分が非露光部、それ以外の部分が露光部となる。

【0056】続いて、第1のレジスト層125および第2のレジスト層135に対して現像を行えば、それぞれの露光部が除去されることになる。別言すれば、フォトマスクM2による遮光領域と下部電極層110の形成領域とが残存部として残ることになる。そこで、この残存部に対して焼成工程を行って樹脂成分を除去すれば、図23に示すように、絶縁層120および上部電極層130が形成できる。いずれの層も、分離区間Zの領域には形成されていない。こうして形成された絶縁層120および上部電極層130は、下部電極層110をマスクに用いたバタニングにより形成された層になるため、下部電極層110に対して自己整合性を有する。

【0057】最後に、こうして得られた三層構造体の側面に電子放出膜140を形成すれば、図24に示すように、「縦型構造」をもった電子放出素子200を得ることができる。ここで、電子放出膜140を形成する工程は、製造工程Iで述べたように、たとえば、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶剤を用意し、この溶剤を三層構造体の側面部に塗布乾燥させるような方法を採用することができる。

【0058】§7. 本発明に係るマトリックス基板の製造方法IV

この製造方法IVは、前述した製造方法IIIの一部を変更することにより、工程数を減らして簡略化したものである。ここで、製造方法Iと製造方法IIとの関係は、製造方法IIIと製造方法IVとの関係と同様になる。すなわち、製造方法IIIでは、図20に示すように、基板全面に第1のレジスト層125および第2のレジスト層135を形成しているが、製造方法IVでは、第2のレジスト層135を全面に形成する代わりに、分離区間Zに対応する領域を除いて形成するのである。すなわち、多数の電子放出素子を配列したマトリックス基板全体としては、ストライプ状のパターンとなるように、第2のレジスト層135を形成することになる。このようなストライプ状のパターンをもったレジスト層を形成する方法としては、やはり一般的な印刷の手法を用いることが可能である。

21

【0059】こうして 第2のレジスト層135を、分離区間Zを除いた領域のみ形成することができれば、上述の製造方法III において行ったフォトマスクM3を用いた前面露光工程（図21）は不要になる。そのまま、フォトマスクM2を用いた背面露光を行い（図22）、現像および焼成を行えば、図23に示す構造の代わりに図17に示す構造が得られることになる。

【0060】

「実施例」

「質に関する実施例」図9に示すマトリックス基板の各部の材質としては、次のような材料を用いるのがよい。

【0061】下部電極層110および上部電極層130：電極として機能する導電性材料であれば、どのようなものでもよいが、耐圧性、耐熱性、加工性、耐腐食性、比抵抗性を考慮して適当な材料を選ぶのが好ましい。具体的には、Al、Ni、Pd、Pb、Pt、W、Mo、Cr、Ti、Cu、Au、Agなどの金属材料を用いるのが好ましい。

【0062】絶縁層120：特に、表面伝導性の低い材料を用いるのが好ましく、具体的には、石英ガラス、 SiO_2 、 Si_3N_4 などを用いるのが好ましい。

【0063】電子放出層140：表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。 SiO_2 、 In_2O_3 、 PbO などの金属酸化物、Au、Agなどの金属、カーボンその他の各種半導体などが一般に知られている材料である。この他、たとえば、特公66-87392号公報に開示されているように、微粒子を含む薄膜導電体膜に通電加熱を行い、ジュール熱によりこの薄膜導電体膜を局部的に破壊、変形もしくは変質させて、電気的に高抵抗な状態にすることにより、電子放出膜を形成することもできる。あるいは同公報に開示されているようなガスデポジション法により電子放出膜を形成してもよい。

【0064】＜製造方法Iに関する実施例＞

① 厚み3mmの清浄な石英ガラス基板上に、粒径が2nm～1μm程度のAu微粒子を分散させたポジ型レジストをスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させることで、膜厚7μmの有機金属混合型のレジスト層を得る。空冷後、所望のパターン（図11のフォトマスクM1のパターン）を前面露光し、現像を行う。この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去し、膜厚3μmのAu層を得る。このAu層が、図12に示す下部電極層110となる。

【0065】② この基板上に、粒径が2nm～1μm程度のガラス微粒子を分散させたポジ型レジストをスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させることで、膜厚45μmの絶縁体分散型のレジスト層（図13のレジスト層125に相当）を

22

得る。空冷後、所望のパターン（図13のフォトマスクM2のパターン）を背面露光し、現像を行う。この基板を500°Cに保持した焼成炉にて3時間焼成し、有機成分を分解除去し、膜厚22μmの絶縁体層を得る。この絶縁体層が、図14に示す絶縁層120となる。

【0066】③ この基板上に、粒径が2nm～1μm程度のAu微粒子を分散させたポジ型レジストをスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させることで、膜厚7μmの有機金属混合型のレジスト層を得る。空冷後、所望のパターン（図15のフォトマスクM3のパターン）を前面露光し、更に、マスクを用いずに全面に対して背面露光を行う（図16）。続いて、露光後のレジスト層に対する現像を行い、この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去し、膜厚3μmのAu層を得る。このAu層が、図17に示す上部電極層130となる。

【0067】④ 更に、有機パラジウム化合物を含む有機溶媒（奥野製薬工業株式会社製「キャタペーストCCP」）をスクリーン印刷法で所望の位置（三層構造体の側面部）に印刷し、15分間放置し、側面部に薄膜を形成する。その後、約200°Cで20分間焼成し、Pbからなる微粒子を含む電子放出膜140を得る（図18）。

【0068】＜製造方法IIに関する実施例＞上記製造方法Iに関する実施例における①、②の工程を行う。続いて、③の工程の代わりに、次の工程を行う。すなわち、図14に示す構造をもった基板上に、粒径が2nm～1μm程度のAu微粒子を分散させたポジ型レジストを、スクリーン印刷法により所望の位置に印刷する（図19：分離区間Zを除いた領域にストライプ状に印刷する）。そして、オープンにて80°Cで30分間放置し乾燥させることで、膜厚7μmの有機金属混合型のレジスト層をストライプ状パターンとなるように形成する。空冷後、マスクを用いずに全面に対して背面露光を行う。続いて、露光後のレジスト層に対する現像を行い、この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去し、膜厚3μmのAu層を得る。このAu層が、図17に示す上部電極層130となる。最後に、上記製造方法Iに関する実施例における④の工程を行う。

【0069】＜製造方法IIIに関する実施例＞

① 厚み3mmの清浄な石英ガラス基板上に、粒径が2nm～1μm程度のAu微粒子を分散させたポジ型レジストをスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させることで、膜厚7μmの有機金属混合型のレジスト層を得る。空冷後、所望のパターン（図11のフォトマスクM1のパターン）を前面露光し、現像を行う。この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去し、膜厚3μmのAu層を得る。このAu層が、図17に示す上部電極層130となる。

μm のAu層を得る。このAu層が、図12に示す下部電極層110となる。

【0070】② この基板上に、粒径が $2\text{nm}\sim 1\mu\text{m}$ 程度のガラス微粒子を分散させたポジ型レジストをスピナにより回転塗布し、オープンにて 80°C で30分間放置し乾燥させることで、膜厚 $4.5\mu\text{m}$ の絶縁体分散型のレジスト層を得る（図20のレジスト層125に相当）。空冷後、このレジスト層の上に、粒径が $2\text{nm}\sim 1\mu\text{m}$ 程度のAu微粒子を分散させたポジ型レジストをスピナにより回転塗布し、オープンにて 80°C で30分間放置し乾燥させることで、膜厚 $7\mu\text{m}$ の有機金属混合型のレジスト層を得る（図20のレジスト層135に相当）。空冷後、所望のパターン（図21のフォトマスクM3のパターン）を前面露光し、更に、所望のパターン（図22のフォトマスクM2のパターン）を背面露光する。続いて、露光後の各レジスト層に対する現像を行い、この基板を 450°C に保持した焼成炉にて3時間焼成し、有機成分を分解除去し、膜厚 $2.5\mu\text{m}$ の絶縁層と膜厚 $3\mu\text{m}$ のAu層を得る。この絶縁層が図23に示す絶縁層120となり、Au層が図23に示す上部電極層130となる。

【0071】③ 更に、有機パラジウム化合物を含む有機溶媒（興野製薬工業株式会社製「キャタペーストCCP」）をスクリーン印刷法で所望の位置（三層構造体の側面部）に印刷し、15分間放置し、側面部に薄膜を形成する。その後、約 200°C で20分間焼成し、Pbからなる微粒子を含む電子放出膜140を得る（図24）。

【0072】＜製造方法IVに関する実施例＞上記製造方法IIIに関する実施例における①の工程を行う。続いて、②の工程の代わりに、次の工程を行う。この基板上に、粒径が $2\text{nm}\sim 1\mu\text{m}$ 程度のガラス微粒子を分散させたポジ型レジストをスピナにより回転塗布し、オープンにて 80°C で30分間放置し乾燥させることで、膜厚 $4.5\mu\text{m}$ の絶縁体分散型のレジスト層を得る（図20のレジスト層125に相当）。空冷後、このレジスト層の上に、粒径が $2\text{nm}\sim 1\mu\text{m}$ 程度のAu微粒子を分散させたポジ型レジストを、スクリーン印刷法により所望の位置に印刷する（分離区画Zを除いた領域にストライプ状に印刷する）。そして、オープンにて 80°C で30分間放置し乾燥させることで、膜厚 $7\mu\text{m}$ の有機金属混合型のレジスト層とストライプ状パターンとなるように形成する。空冷後、所望のパターン（図22のフォトマスクM2のパターン）を背面露光する。続いて、露光後の各レジスト層に対する現像を行い、この基板を 450°C に保持した焼成炉にて3時間焼成し、有機成分を分解除去し、膜厚 $2.5\mu\text{m}$ の絶縁層と膜厚 $3\mu\text{m}$ のAu層を得る。最後に、上記製造方法IIIに関する実施例における③の工程を行う。

【0073】＜対向基板の製造方法に関する実施例＞図

み 3mm の清浄な石英ガラス基板上に、スパッタ法により膜厚 $1\mu\text{m}$ のITO層を堆積する。その上に、EB蒸着法により膜厚 $20\mu\text{m}$ の $\text{ZnO}:\text{Zn}$ からなる蛍光体層を蒸着形成し、対向基板20を作製した。

【0074】＜電子放出動作に関する実施例＞ 10^{-10}Pa に保った真空チャンバ中に、上述の各実施例で作製したマトリックス基板と対向基板とを、 3mm の間隔で平行に保持し、対向基板とマトリックス基板との間のカソード/アノード電圧として 5kV を印加した。

また、電子放出素子の動作電圧として、上部電極層を接地電位に保ち、下部電極層に 20V を印加したところ、対向基板に向かって電子放出が得られ、良好な発光特性が得られた。また、行列状に配した多数の電子放出素子を、単純マトリックス駆動し、所定の画像情報に対応した信号を与えたところ、対向基板上に画像形成がみられた。

【0075】

【発明の効果】以上のとおり、本発明によれば、下部電極層を基準として自己整合性をもった層形成を行うようにしたため、高度な位置合わせ技術が不要になり、電子放出素子を配列したマトリックス基板を容易に製造することが可能になる。

【図面の簡単な説明】

【図1】従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。

【図2】図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図であり、この図における切断線1-1による断面が図1に示されている。

【図3】図1に示す電子放出素子10からの電子放出が行われている状態を示す断面図である。

【図4】図1に示す電子放出素子10の主要部分の寸法を示した図である。

【図5】本発明に関連した新規な電子放出素子50の構造を示す斜視図である。

【図6】図5に示す電子放出素子50に対する配線を示す断面図である。

【図7】図5に示す電子放出素子50からの電子放出が行われている状態を示す断面図である。

【図8】図5に示す電子放出素子50の主要部分の寸法を示した図である。

【図9】本発明の適用対象となるマトリックス基板の構造を示す斜視図である。

【図10】図9に示すマトリックス基板の駆動原理を説明するための平面図である。

【図11】図9に示す構造を得るための第1の製造工程の第1段階を示す斜視図である。

【図12】図9に示す構造を得るための第1の製造工程の第2段階を示す斜視図である。

【図13】図9に示す構造を得るための第1の製造工程

の第3段階を示す斜視図である。

【図14】図9に示す製造を得るための第1の製造工程の第4段階を示す斜視図である。

【図15】図9に示す製造を得るための第1の製造工程の第5段階を示す斜視図である。

【図16】図9に示す製造を得るための第1の製造工程の第6段階を示す斜視図である。

【図17】図9に示す製造を得るための第1の製造工程の第7段階を示す斜視図である。

【図18】図9に示す製造を得るための第1の製造工程の最終段階を示す斜視図である。

【図19】図9に示す製造を得るための第2の製造工程の段階を示す斜視図である。

【図20】図9に示す製造を得るための第3の製造工程の第3段階を示す斜視図である。

【図21】図9に示す製造を得るための第3の製造工程の第4段階を示す斜視図である。

【図22】図9に示す製造を得るための第3の製造工程の第5段階を示す斜視図である。

【図23】図9に示す製造を得るための第3の製造工程の第6段階を示す斜視図である。

【図24】図9に示す製造を得るための第3の製造工程の最終段階を示す斜視図である。

【符号の説明】

10…電子放出素子

11…ガラス基板

12…電極

13…電極

14…電子放出膜

20…対向基板

21…ガラス基板

22…透明電極

23…蛍光体層

31…電源

32…電源

33…スイッチ

50…電子放出素子

51…ガラス基板

52…下部電極層

53…絶縁層

54…上部電極層

55…電子放出膜

100…ガラス基板

110…下部電極層

115…準備層

120…絶縁層

125…第1のレジスト層

130…上部電極層

135…第2のレジスト層

140…電子放出膜

150…セレクト

160…ドライバ

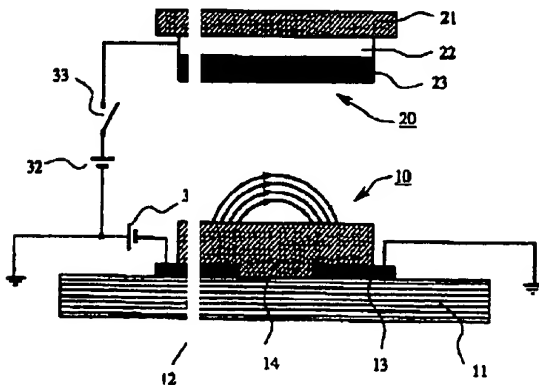
200…電子放出素子

D1～D5…各部の寸法

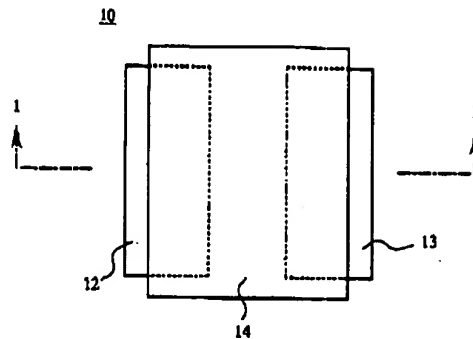
M1, M2, M3…フォトリソマスク

Z…分離区間

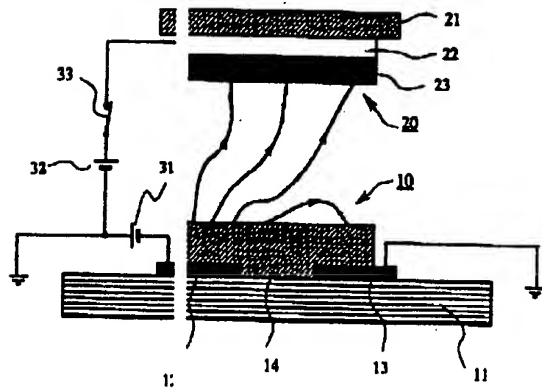
【図1】



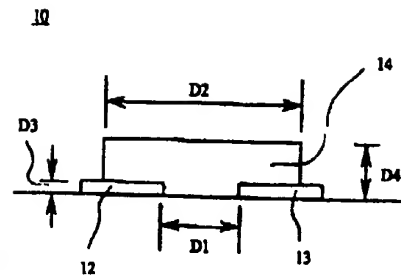
【図2】



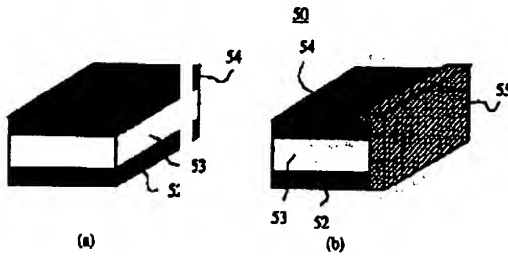
【図3】



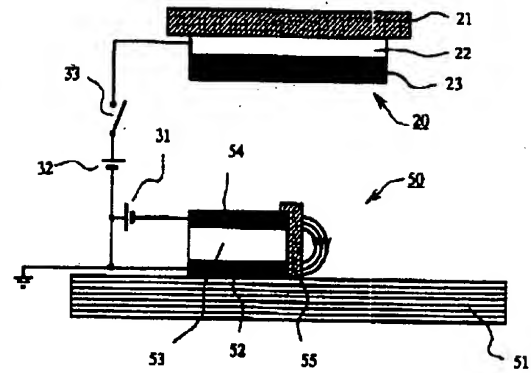
【図4】



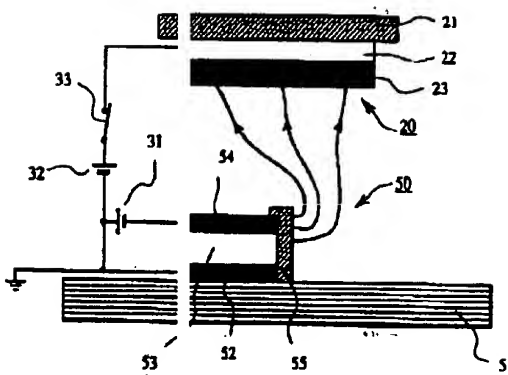
【図5】



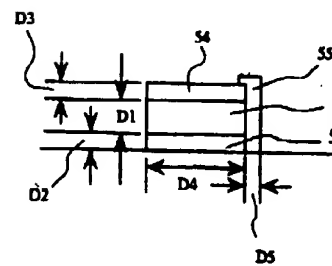
【図6】



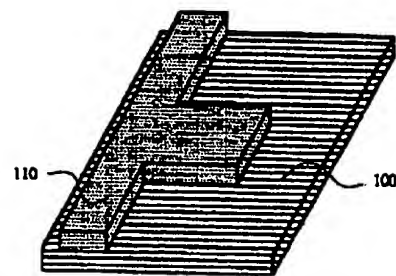
【図7】



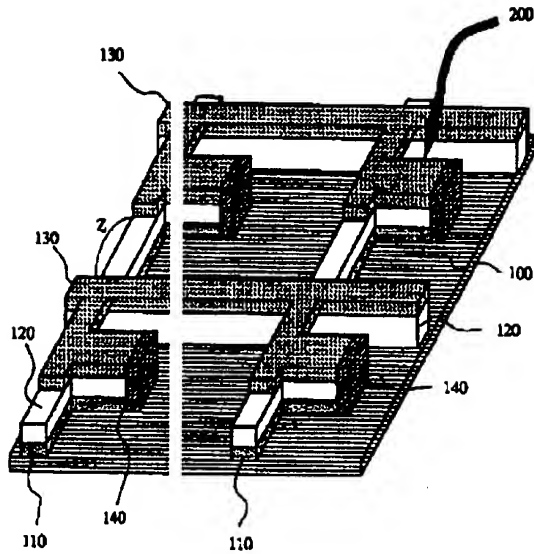
【図8】



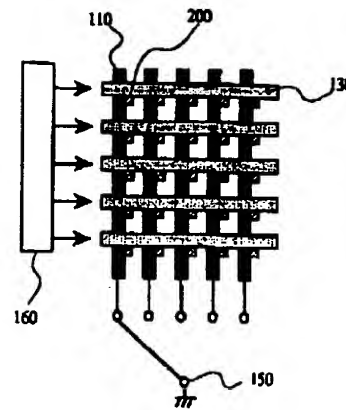
【図12】



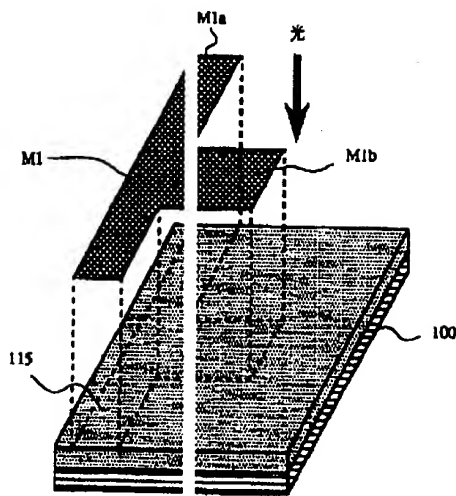
【図9】



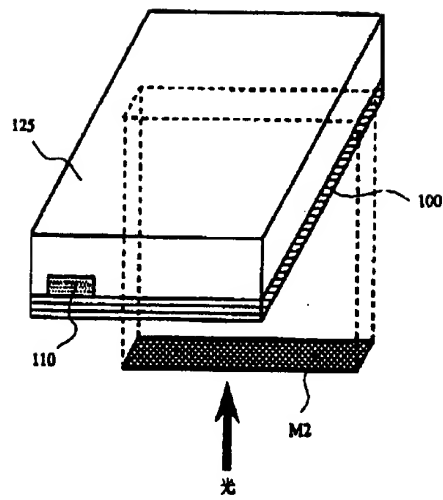
【図10】



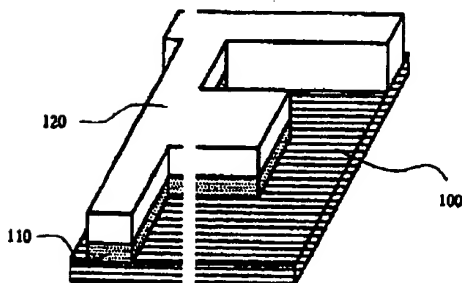
【図11】



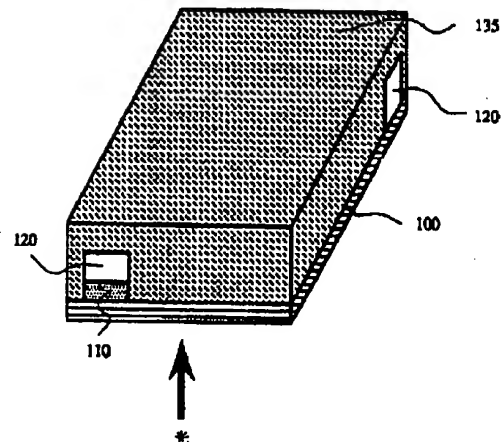
【図13】



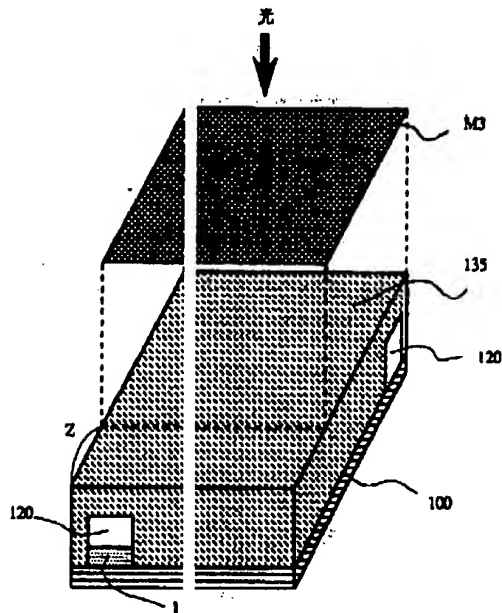
【図14】



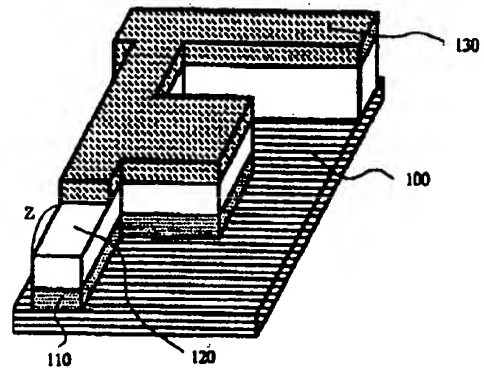
【図16】



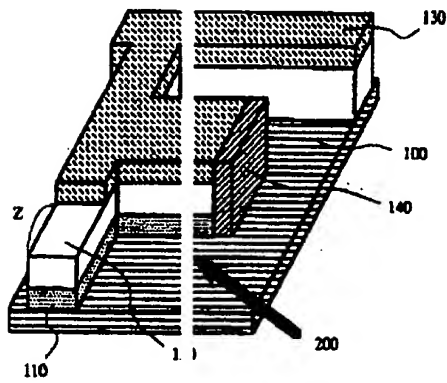
【図15】



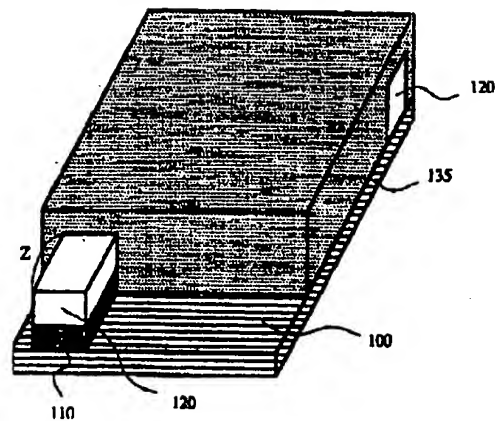
【図17】



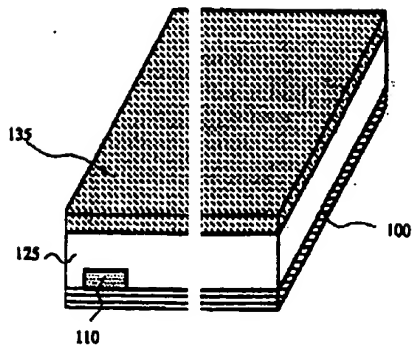
【図18】



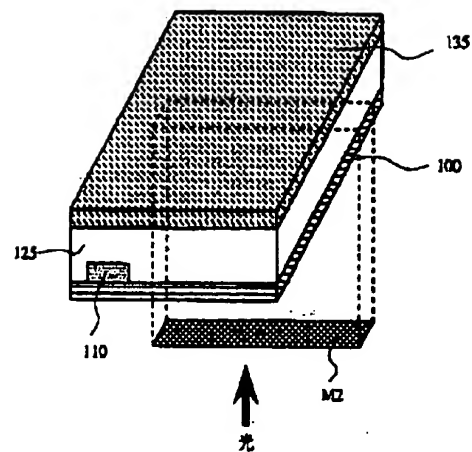
【図19】



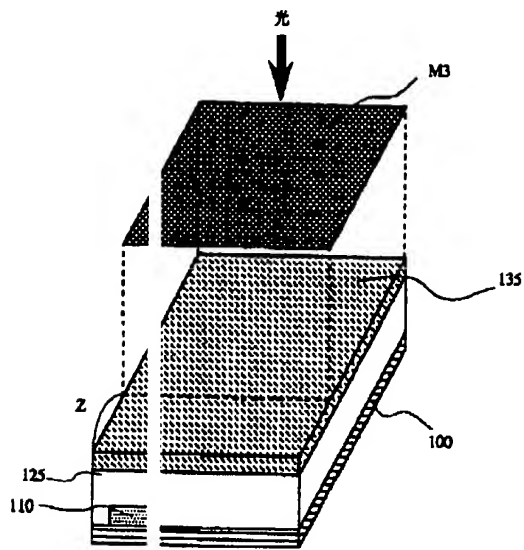
【図20】



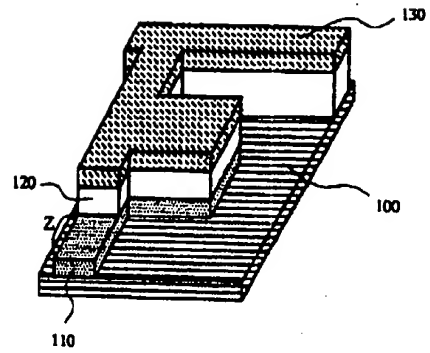
【図22】



【図21】



【図23】



【図24】

